

CLIPPEDIMAGE= JP411354714A
PAT-NO: JP411354714A
DOCUMENT-IDENTIFIER: JP 11354714 A
TITLE: MULTI-CHIP PACKAGE

PUBN-DATE: December 24, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
RI, KANZAI	N/A
SONG, YOUNG-JAE	
JEUNG, DO-SU	N/A
CHO, TAISAI	
CHO, SHAKUKO	N/A
RI, SHOTETSU	
RI, HEISEKI	N/A
CHOI, JEONGHEE	
	N/A
	N/A
	N/A
	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRONICS CO LTD	N/A

APPL-NO: JP11081349
APPL-DATE: March 25, 1999

INT-CL_(IPC): H01L025/065; H01L025/07 ; H01L025/18

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a multi-chip package which allows the package thickness to be reduced and can attain a structural stability.

SOLUTION: The multi-chip package 10 comprises a first chip 11, second chip 21 on which the first chip 11 is mounted, lead frame having a plurality of leads

31 to which electrode pads 12, 22 of the first and second chips 11, 21 are connected, the second chip 21 being mounted on the lead frame, and package body 45 sealing the first and second chips 11, 21 and specified parts of the leads 31, an inactive surface of the first chip 11 is mounted on a active surface of the second chip 21, and the leads 31 of the lead frame are mounted on the active surface of the second chip 21, except regions occupied by the first chip 11.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354714

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶

H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

Z

審査請求 未請求 請求項の数18 O L (全 7 頁)

(21) 出願番号 特願平11-81349

(22) 出願日 平成11年(1999) 3 月25日

(31) 優先権主張番号 1 9 9 8 P 1 9 5 2 3

(32) 優先日 1998年 5 月28日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 冠在

大韓民国京畿道水原市八達区迎通洞振興ア
パート552棟1806号

(72) 発明者 宋 榮宰

大韓民国京畿道城南市盆唐区▲鼓▼内洞55
ロッヂアパート135棟1030号

(72) 発明者 ▲鄭▼ 道秀

大韓民国京畿道水原市八達区梅灘 4 洞三星
1 次アパート 2 棟411号

(74) 代理人 弁理士 服部 雅紀

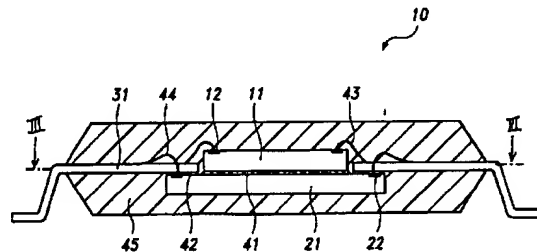
最終頁に続く

(54) 【発明の名称】 マルチチップパッケージ

(57) 【要約】

【課題】 パッケージの厚さを減少させることができ、且つ構造的な安定性を達成することができるマルチチップパッケージを提供する。

【解決手段】 マルチチップパッケージ10は、第1チップ11と、第1チップ11が取り付けられる第2チップ21と、第2チップ21が取り付けられ、第1チップ11及び第2チップ21の電極パッド12、22が接続される複数のリード31を有するリードフレームと、第1チップ11、第2チップ21及びリード31の所定部分を封止するパッケージ胴体45とを含んでおり、第1チップ11の非活性面は、第2チップ21の活性面に取り付けられ、リードフレームのリード31は、第1チップ11が占める領域を除いて第2チップ21の活性面に取り付けられる。



【特許請求の範囲】

【請求項1】 複数の半導体チップが積層されているマルチチップパッケージであって、

複数の電極パッドが設けられている活性面、ならびに電極パッドが設けられていない非活性面を有する第1半導体チップと、

複数の電極パッドが設けられている活性面、ならびに電極パッドが設けられていない非活性面を有し、前記第1半導体チップが搭載されている第2半導体チップと、
前記第1半導体チップの電極パッド及び前記第2半導体チップの電極パッドと接続される複数のリードを有し、
前記第2半導体チップが搭載されているリードフレームと、

前記第1半導体チップ、前記第2半導体チップ及び前記リードの所定部分を封止するパッケージ胴体とを備え、
前記第1半導体チップの非活性面は前記第2半導体チップの活性面に取り付けられ、前記リードは前記第2半導体チップの活性面に取り付けられていることを特徴とするマルチチップパッケージ。

【請求項2】 前記第1半導体チップの電極パッド、及び前記第2半導体チップの電極パッドと前記リードとの間の電気的連結は、ワイヤボンディングであることを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項3】 前記第2半導体チップの活性面の面積は、前記第1半導体チップの非活性面の面積よりも大きいことを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項4】 前記リードフレームは、前記第1半導体チップ及び第2半導体チップと電気的に連結されることなく前記第2半導体チップの活性面に取り付けられる補助リードを有することを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項5】 前記補助リードは、前記第2半導体チップの外周に取り付けられる四角リング形状であることを特徴とする請求項4に記載のマルチチップパッケージ。

【請求項6】 前記補助リードは、バー形状であることを特徴とする請求項4に記載のマルチチップパッケージ。

【請求項7】 前記補助リードの数は、少なくとも1つであることを特徴とする請求項6に記載のマルチチップパッケージ。

【請求項8】 前記第2半導体チップと前記リードとは、ポリイミドテープにより取り付けられていることを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項9】 前記第2半導体チップと前記リードとは、接着剤により取り付けられていることを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項10】 前記リードの内側部分は、下向きの段差を有することを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項11】 前記第1半導体チップと前記リードとの接続部位は、前記第2半導体チップと前記リードとの接続部位と異なる高さの位置にあることを特徴とする請求項2記載のマルチチップパッケージ。

【請求項12】 前記第1半導体チップ及び前記第2半導体チップは、各々異なるリードにワイヤボンディングされていることを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項13】 前記第1半導体チップは、電極パッドが前記第1チップの活性面の端縁部に配設されるエッジパッド型であることを特徴とする請求項1に記載のマルチチップパッケージ。

【請求項14】 複数の半導体チップが積層されているマルチチップパッケージであって、

複数の電極パッドが設けられている活性面、ならびに電極パッドが設けられていない非活性面を有する第1半導体チップと、

複数の電極パッドが設けられている活性面、ならびに電極パッドが設けられていない非活性面を有し、前記第1半導体チップが搭載されている第2半導体チップと、
前記第1半導体チップの非活性面と接続される第1補助リード、前記第2半導体チップの活性面と接続される第2補助リード、ならびに前記第1半導体チップ及び前記第2半導体チップの電極パッドと接続される複数のリードを有し、前記第2半導体チップが搭載されるリードフレームと、
前記第1半導体チップ、前記第2半導体チップ及び前記リードの所定部分を封止するパッケージ胴体と、
を備えることを特徴とするマルチチップパッケージ。

【請求項15】 前記第1半導体チップ及び前記第2半導体チップの電極パッドは、各々前記第1半導体チップ及び第2半導体チップの各活性面の端縁部に沿って配設されることを特徴とする請求項14に記載のマルチチップパッケージ。

【請求項16】 前記第2補助リードは、前記第2半導体チップの一方の端縁部と他方の端縁部との間に位置することを特徴とする請求項15に記載のマルチチップパッケージ。

【請求項17】 前記第1補助リード及び前記第2補助リードは、バー形状であることを特徴とする請求項14に記載のマルチチップパッケージ。

【請求項18】 前記第1半導体チップは銀エボキシ接着剤により前記第1補助リードに取り付けられ、前記第2半導体チップはポリイミドテープにより前記第2補助リードに取り付けられていることを特徴とする請求項14に記載のマルチチップパッケージ。

【請求項19】 前記第1半導体チップは銀エボキシ接着剤により前記第1補助リードに取り付けられ、前記第2半導体チップはポリイミドテープにより前記第2補助リードに取り付けられていることを特徴とする請求項14に記載のマルチチップパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチチップパッケージに関し、特に複数の半導体チップが構造的な安定

性をもって積層されているマルチチップパッケージに関する。

【0002】

【従来の技術】近年、電子機器は、半導体産業の発展及び使用者の要求に応じて、一層小型化及び軽量化されている。このような傾向に対応するための技術の1つが、複数の半導体チップをリードフレームに搭載して1つのパッケージに構成したマルチチップパッケージング技術である。このマルチチップパッケージング技術は、主に小型化及び軽量化が要求される携帯用電話機等に適用されている。メモリ機能を行うフラッシュメモリ (flash memory) とSRAM (Synchronous RAM) 等とをTSOP (Thin Small Outline Package) 等の単一パッケージに構成する場合、小型化及び軽量化に有利である。

【0003】一般に、複数の半導体チップを1つのパッケージ内に構成する方法には、複数の半導体チップを積層する方法と、複数の半導体チップを並列に配列する方法とがある。前者の場合、積層工程が複雑で微細厚さを確保することが難しいという欠点がある。そして、後者の場合、平面上に複数の半導体チップを配列する構造であるので、小型化されたパッケージを得がたい。パッケージの小型化のため、積層方法が幅広く使用されているが、このような積層方法を用いたマルチチップパッケージの一例を図1に示す。

【0004】図1は、従来のマルチチップパッケージを示す断面図である。マルチチップパッケージ60において、第1チップ61が第2チップ71上に実装され、第2チップ71がリードフレームのダイパッド82上に実装される。第2チップ71の電極パッド72が設けられた活性面に、第1チップ61の電極パッド62が設けられていない非活性面が取り付けられ、第2チップ71の非活性面がリードフレームのダイパッド82に取り付けられている。ダイパッド82の周辺には、リード81が配設されている。各々の半導体チップ61、71とリード81とがワイヤボンディング法により導電性金属線93、94で電氣的に接続されている。第1チップ61と第2チップ71との間、及び第2チップ71とダイパッド82との間は、液状の接着剤91、92により取り付けられている。第1チップ61、第2チップ71及びリード81の所定の部分は、封止樹脂で形成されたパッケージ胴体95により外部環境から保護される。図1から明らかなように、ダイパッド82がリード81の内側部分のレベルから凹設されている。実際に、ダイパッドは、それに半導体チップを安全に実装するため、リードフレーム面から凹設されるが、これを「ダウンセット (down set)」と呼ぶ。

【0005】上記のようなマルチチップパッケージ60は、その製造工程が1つの半導体チップを内在する一般的なパッケージの製造工程に類似しているため、既存の工程設備をそのまま利用することができるという利点を

有しているため、製造コストの上昇を抑制することができる。

【0006】

【発明が解決しようとする課題】しかしながら、パッケージ胴体の厚肉化及びパッケージ内部の構造的不均衡が問題視されている。最近ウェーハの直径が8インチから12インチ等に増加するにつれて、ウェーハの反り又は割れのような問題が生じやすく、ウェーハの裏面研磨が限界に至っている。これにより、半導体チップ自体を薄くするのは困難である。そして、チップを薄層化する困難性は、小型化及び軽量化されたマルチチップパッケージの製造に対する制約につながる。

【0007】もし、小型化されたマルチチップパッケージを得るためにパッケージ製造工程中のモルディング工程で、樹脂の量を減少させパッケージを物理的に薄く形成すると、半導体チップとリード間の電氣的連結に使用される導電性金属線がパッケージ胴体の外部に露出するという不良が発生する。このような問題は、特に、第2チップの活性面にそのチップよりサイズが小さいチップが取り付けられる形態のマルチチップパッケージにおいて一層激しくなる。その理由は、上部チップの電極パッドとリード間の距離が遠くなるため、両者を連結する導電性金属線の長さが長くなり、これによりワイヤループの高さも増加するためである。

【0008】一方、複数の半導体チップがリードフレーム上に積層される構造では、パッケージ内部の構造的不均衡が発生する。ダイパッド上に2つの半導体チップが積層しなければならないので、ダイパッドのダウンセットが、1つの半導体チップを含むパッケージに比べて深くなる。このため、封止樹脂の流れに差異が生じ、チップ又はダイパッド上においてボイドが発生するという問題がある。

【0009】この問題を解決するため、リードフレームのダイパッドの上下面に第1チップと第2チップを各々取り付けることにより、封止樹脂の流れにおいて均衡を取る積層パッケージが開発されている。しかし、このパッケージの場合、リードフレームの上下部においてワイヤボンディングを行わなければならないので、工程が複雑になる。また、同一の役割をする電極パッドが対向配設されたミラーチップを準備することが必要である。

【0010】従って、本発明の目的は、上記のような制約を克服するためになされたものであって、パッケージの厚さを減少させることができ、且つ構造的な安定性を達成することができるマルチチップパッケージを提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明の請求項1記載のマルチチップパッケージによると、マルチチップパッケージは複数の半導体チップが積層されており、活性面及び非活性面を有する第1半

導体チップと、活性面及び非活性面を有し第1半導体チップが搭載されている第2半導体チップと、第1半導体チップの電極パッドと前記第2半導体チップの電極パッドとを接続する複数のリードを有し第2半導体チップが搭載されているリードフレームと、第1半導体チップ、第2半導体チップ及びリードの所定部分を封止するパッケージ胴体とを備えている。第1半導体チップの非活性面は第2半導体チップの活性面に取り付けられ、リードは第2半導体チップの活性面に取り付けられている。従って、パッケージの厚さを減少させることができ、且つ10 構造的な安定性を達成することができる。

【0012】本発明の請求項2～13のいずれか記載のマルチチップパッケージによると、第1、第2チップの電極パッドとリード間との電気的連結は、ワイヤボンディングにより行われる。第2チップの活性面が第1チップの非活性面より大きい。リードフレームは、第1チップ及び第2チップに電気的に連結されることなく第2チップの活性面に取り付けられる少なくとも1つの補助リードを有する。補助リードは、第2チップの電極パッド10 が設けられている位置より内側に取り付けられる。第1チップは、補助リードより内側において第2チップの活性面に取り付けられる。これにより、第1チップと第2チップとを接着剤を用いて取り付けの際、接着剤が第2チップの電極端子に流れ出すことを防止することができる。補助リードは、四角リング形状又はバー形状を有する。上記構造を効果的に利用するためには、電極パッドがチップの活性面の端縁に配設されるエッジパッド型チップを採用することが好ましい。

【0013】本発明の請求項14～18記載のマルチチップパッケージによると、マルチチップパッケージは複数の半導体チップが積層されており、活性面及び非活性面を有する第1半導体チップと、活性面及び非活性面を有し第1半導体チップが搭載されている第2半導体チップと、第1半導体チップの非活性面と接続される第1補助リード、第2半導体チップの非活性面と接続される第2補助リード、ならびに第1半導体チップ及び第2半導体チップの電極パッドと接続される複数のリードを有し第2半導体チップが搭載されるリードフレームと、第1半導体チップ、第2半導体チップ及びリードの所定部分を封止するパッケージ胴体とを備えている。40

【発明の実施の形態】以下、添付の図面を参照して本発明によるマルチチップパッケージをより詳しく説明する。

【0014】(第1実施例)図2は、本発明によるマルチチップパッケージの第1実施例を示す断面図である。図2に示すように、マルチチップパッケージ10は、電極パッド12が端縁に沿って配設されている、いわゆるエッジパッド型チップといわれる第1半導体チップとしての第1チップ11が、同様のエッジパッド型第2半導体チップとしての第2チップ21上に実装されている。50

第2チップ21は、リードフレームのリード31に取り付けられている。半導体チップ11、12の各電極パッド12、22が導電性金属線43、44によりリード31に各々電気的に連結されている。また、第1チップ11、第2チップ21及びリード31の内側部分がエポキシ成形樹脂のような封止樹脂45で封止されている。

【0015】電極パッド22が設けられた第2チップ21の活性面が、電極パッドが設けられていない第1チップ11の非活性面に銀エポキシのような接着剤41により取り付けられている。そして、第1チップ11は、対向するリード31の間に形成されている。リード31は、第2チップ21の活性面上において第1チップ11が占めていない領域に、ポリイミドテープ42で取り付けられている。第1チップ11の電極パッド12及び第2チップ21の電極パッド22は、各々導電性金属線43、44により対応するリード31に接続されている。

【0016】図2に示すようにマルチチップパッケージは第2チップ21がリードフレームのリード31に直接取り付けられるため、付加的なダイパッド又は第2チップ実装用チップパッドを必要としない。従って、2つのチップ11、12及び金属線43を含むパッケージの厚さが、非積層型パッケージに相当させることが可能となる。また、第1チップ及び第2チップがリードフレームを基準に均衡を取ることができる。これにより、モルディング工程の際、封止樹脂45が第1チップの上部側及び第2チップの下部側に沿って均一に注入することができる。さらに、第1チップの位置が従来に比べて低くなるため、第1チップ11の電極パッド12がリード31にもっと近くなり、導電性金属線の長さが減少する。一般的なマルチチップパッケージの場合、第1チップのサイズが第2チップより小さいため、金属線の長さが増加する傾向がある(図1参照)。一方、本発明によると、リード31と第1チップ11の電極パッド12間の距離が近くなるので、金属線43をより短くすることができる。

【0017】第2チップ21は、ポリイミドテープ41によりリード31に取り付けられている。従来のように銀エポキシ等の液状接着剤を使用する場合、各々のリードに対する接着剤塗布工程が必要である。しかしながら、液状接着剤の代わりに、ポリイミドテープを使用する場合、塗布工程を省略することができ、工程の進行が容易である。ポリイミドテープは、パッケージ製造工程の前にリードフレームを準備する際、予めリードに取り付けておくことができる。

【0018】本発明では、第2チップ21が金属線44がボンディングされたリード31に取り付けられている。しかし、チップ実装用の別途の補助リードを形成し、それに第2チップを取り付けることも可能である。そして、補助リードは、必要によってバー形状、四角リング形状等のいろいろの形態を有することができる。図

3図4及び図5は、第1実施例の変形例を示している。
【0019】図3に示すように、リード31が第1チップ11及び第2チップ21の左右側に配設され、2つのバー形状補助リード32、33がリード方向に垂直な方向に形成されている。電極パッド12、22は、各々第1、第2チップ11、12の活性面の端縁に沿って配設される。これらのチップ11、12は、エッジパッド型チップである。

【0020】第1チップ11は、第2チップ21の活性面に取り付けられている。第2チップ21は、補助リード32、33の下面にポリイミドテープ42により取り付けられている。補助リード32、33は、電極パッド22整列方向の内側に位置する。また、この補助リード32、33は、ワイヤボンディングに用いられない。この補助リード32、33は、ただチップ実装用のものである。

【0021】補助リード32、33の幅は、他のリード31に比べて大きい。第2チップ21は、補助リード32、33に安定的に支持される。また、補助リード32、33は、液状の接着剤を用いて第1チップ11と第2チップ21とを取り付ける際、接着剤が第2チップ21の電極パッド22までに流れ出すことを防止する役目をもする。

【0022】図4に示すように、四角リング形状の補助リード34が図示されている。この場合、補助リード34が第2チップ21の活性面の外周部に取り付けられるため、第2チップ21をより堅固に支持することができる。この四角リング形状の補助リード34は、活性面の2端縁に電極パッドが設けられているチップだけでなく、活性面の4端縁に電極パッドが設けられている半導体チップを用いてマルチチップパッケージを構成する際、接着剤が第2チップの電極パッドに流れ出すことを防止することができる。

【0023】図5に示すように、リード34の内側部分が下向きに段差をもって第2チップ21の活性面に取り付けられてもよい。従って、金属線43がボンディングされたリード34の部位と、金属線44がボンディングされたリード34のボンディング部位とが、異なるレベルに位置している。これにより、金属線43、44間の距離が増加し、設計自由度が向上する。また、金属線43、44間の短絡が防止される。もし、第1チップ11と第2チップ21とを互いに異なるリードと接続すると、金属線43、44間の距離は一層増加する。

【0024】(第2実施例)図6は、本発明の第2実施例を示している。図6に示すように、第1チップ11及び第2チップ12は、いずれも電極パッドがチップの活性面の対向2端縁に配設されるエッジパッド型チップである。また、第1チップ11のサイズは、第2チップ21より小さい。リード31及び第1補助リード36が第1チップの長手方向に沿って配置され、第2補助リード

35が第2チップ21の短方向に沿って配置される。第1補助リード36、第2補助リード35は、第1、第2チップ11、12が第1、第2補助リード36、35に容易に取り付けられるように、バー形状を有する。第1チップ11は、接着剤41により第1補助リード36の上面に取り付けられる。第2チップ21は、ポリイミドテープ42により第2補助リード35の下面に取り付けられる。

【0025】この種のマルチチップパッケージでは、第1補助リード36が第1、第2チップ11、21の間に挟持されるため、マルチチップパッケージ厚さの減少には大きな効果が得られないが、リードフレームを中心に上下に半導体チップが位置するような内部構造を取ることができる。また、各々のチップが個々の補助リードに取り付けられ、第1チップが液状の接着剤により、第2チップがポリイミドテープにより各補助リードに取り付けられるため、製造工程が容易になり、第1、第2チップ取付工程が互いに影響を受けない。例えば、液状の接着剤を塗布して、第1チップを第1補助リード36に取り付ける場合、接着剤が第2チップ21の電極パッド22までに流れ出すことを防止することができる。

【0026】

【発明の効果】以上説明したように、本発明のマルチチップパッケージによると、次のような効果が得られる。第一に、第1チップが実装された第2チップの活性面の端縁にリードフレームが取り付けられるため、従来のダイパッドを有するパッケージと比較してパッケージの厚さを減少させることができる。従って、従来のマルチチップパッケージに比べて1つのパッケージ内にチップをより多く組み込むことができる。

【0027】第二に、第1チップ及び第2チップがリードフレームを基準に上下に配置されるため、パッケージ内部の構造的安定を図ることができる。従って、モルディング工程で、封止樹脂の流れが均一になり、パッケージ胴体内のボイドやクラックが防止される。

【0028】第三に、各チップの電極パッドとリード間の距離が短くなる。これにより、金属線の長さが短くなり、ワイヤループの高さも低くなる。また、ワイヤボンディングの信頼性が増加し、パッケージの厚さも減少する。さらに、モルディング工程において、隣接する金属線間の不接続又は短絡を防止することができる。特に、補助リードが接着剤に対するダムの役目をするので、接着剤から電極パッドを保護することができ、パッケージの信頼性が一層向上する。もちろん、各々のチップが同一方向に向くことができるので、ワイヤボンディングを一層容易に進行することができる。

【0029】第四に、補助リードと半導体チップとの取付にポリイミドテープが使用されるので、チップ取付工程が容易になる。以上のように、本発明によるマルチチップパッケージは、厚さの減少、品質の向上、作業時間

の短縮、工程進行の容易さ等の利点がある。

【図面の簡単な説明】

【図1】従来のマルチチップパッケージを示す断面図である。

【図2】本発明の第1実施例によるマルチチップパッケージを示す断面図である。

【図3】本発明の第1実施例の変形例によるマルチチップパッケージを図2のIII-III線と同様の位置で切断した状態を示す断面図である。

【図4】本発明の第1実施例の変形例によるマルチチップパッケージを図2のIII-III線と同様の位置で切断した状態を示す断面図である。

【図5】本発明の第1実施例の変形例によるマルチチップパッケージを示す断面図である。

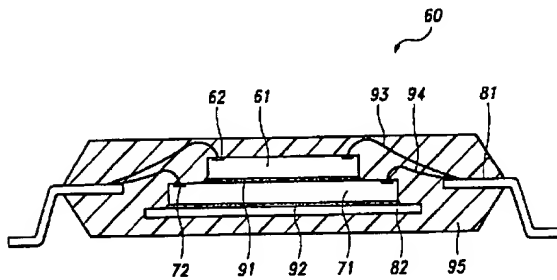
【図6】本発明の第2実施例によるマルチチップパッケージを図2のIII-III線と同様の位置で切断した状態を

示す断面図である。

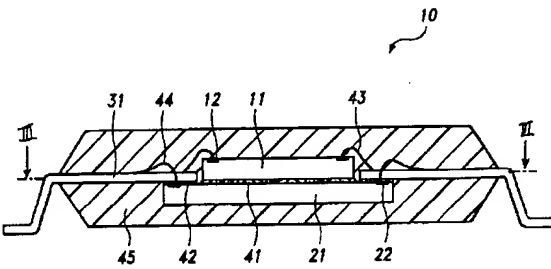
【符号の説明】

- 10 マルチチップパッケージ
- 11 第1チップ
- 12、22 電極パッド
- 21 第2チップ
- 30 リードフレーム
- 31 リード
- 32、33、34 補助リード
- 35 第2補助リード
- 36 第1補助リード
- 41 接着剤
- 42 ポリイミドテープ
- 43、44 導電性金属線
- 45 パッケージ胴体

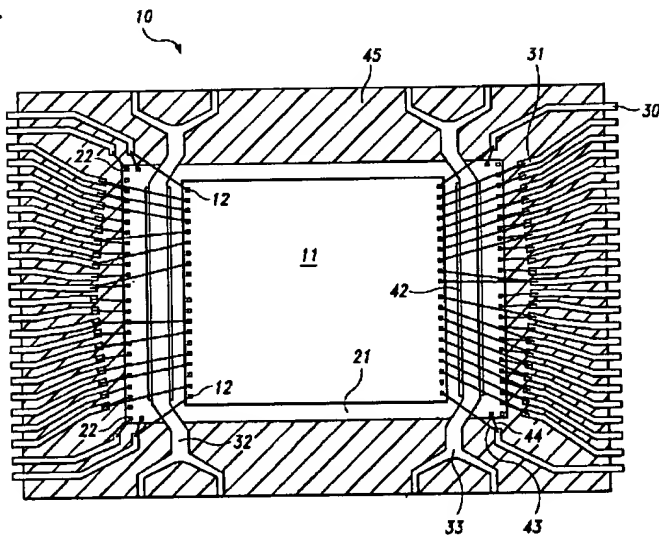
【図1】



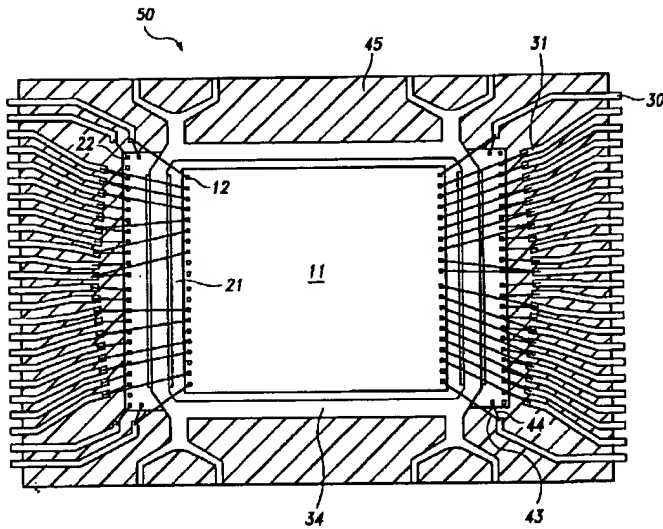
【図2】



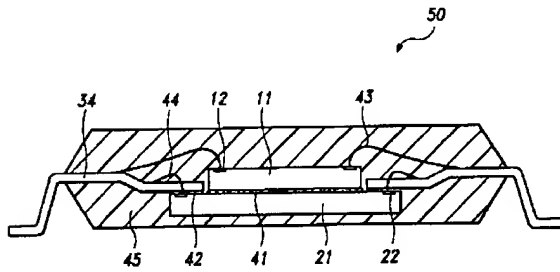
【図3】



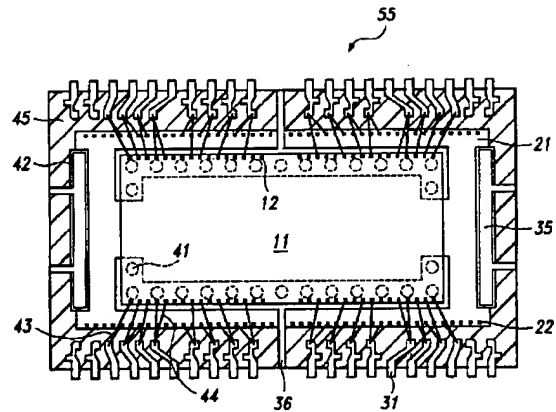
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 趙 泰濟
大韓民国京畿道水原市八達区迎通洞住公ア
パート133棟1101号

(72)発明者 張 錫弘
大韓民国京畿道龍仁市水枝邑豊徳川里663
- 1 水枝三星 4 次アパート101棟1203号

(72)発明者 李 昌哲
大韓民国忠清南道牙山市鹽峙邑松谷里172
- 1 韓一聯立404号

(72)発明者 李 秉石
大韓民国京畿道水原市八達区梅灘4 洞三星
1 次アパート 3 棟603号

(72)発明者 崔 鍾熙
大韓民国京畿道水原市八達区梅灘4 洞三星
1 次アパート 2 棟411号